

UNIDADE: ESCOLA POLITÉCNICA	DEPARTAMENTO: ENGENHARIA ELÉTRICA
-----------------------------	-----------------------------------

**COMPONENTE CURRICULAR**

CÓDIGO: ENGG56 MODALIDADE: DISCIPLINA	NOME: PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS
--	--

CARGA HORÁRIA				NATUREZA	FUNÇÃO
TEÓRICA 68h	PRÁTICA 0h	ESTÁGIO 0h	TOTAL 68h	(x) OBRIGATÓRIA ( ) OPTATIVA	( ) BÁSICA ( ) ESPECÍFICA (x) PROFISSIONALIZANTE

PRÉ-REQUISITOS	CO-REQUISITOS	CURSOS ATENDIDOS
<ul style="list-style-type: none"> <li>• ENGC41 – Dispositivos Eletrônicos</li> <li>• ENGC50 – Sistemas Microprocessados</li> </ul>	Inexistentes	Engenharia de Computação

**EMENTA**

Lógica Combinacional: algoritmos de simplificação e introdução a projetos com auxílio de computadores, síntese de circuitos em dispositivos lógicos programáveis (PLD). Lógica Sequencial: máquinas síncronas e assíncronas, algoritmos de simplificação e síntese de circuitos sequenciais. Metodologia de Projeto Digital: níveis de projeto, análise de circuitos, simulação, linguagens de descrição de hardware e introdução à testabilidade de circuito.

**OBJETIVOS**

- Apresentar as etapas normalmente encontradas no fluxo de projeto de circuitos integrados (CIs) digitais;
- Mostrar o uso de diferentes ferramentas e como estas participam da automação do processo de projeto de CIs;
- Capacitar na utilização adequada de linguagens de descrição de hardware (HDLs);
- Descrever os diferentes níveis de síntese de CIs;
- Descrever formas de validação e de teste;
- Descrever formas de otimização e de contorno de problemas; e
- Proporcionar a compreensão e a realização das etapas básicas do projeto de circuitos integrados.

**CONTEÚDO PROGRAMÁTICO**

1. Revisão de Máquinas de Estados Finitas (FSMs)
  - a) Motivação: Implementação de algoritmos em hardware
  - b) Tipos: Mealy / Moore
  - c) Exemplos
  - d) Implementação em circuitos lógicos

2. Linguagem de Descrição de Hardware Verilog
    - a) Motivação: Fluxo ASIC / FPGA
    - b) Estilos de implementação: Comportamental / Estrutural / *Dataflow*
    - c) Sinais: Classes / Tipos de Dados
    - d) Formas de atribuição: Bloqueante / Não-Bloqueante
    - e) Primitivas
    - f) Subprogramas: Tasks / Functions
    - g) Parâmetros
    - h) Instanciação de componentes
    - i) Atrasos e controle de eventos
    - j) Boas práticas de codificação
    - k) Implementação de Máquinas de Estados Finitas (FSMs) em Verilog
    - l) Discussão sobre código sintetizável
    - m) Discussão sobre resultados de síntese para construções em Verilog
    - n) Construção de *Testbenches*
  3. Fluxo de Projeto de Circuitos Integrados
    - a) Descrição das etapas de Front-End: Especificação / Microarquitetura / Codificação RTL / Síntese Lógica
    - b) Descrição das etapas de Back-End: Floorplanning / Placement / Roteamento / Síntese de Árvore de Clock / Extração de Parasitas / Cálculo de Atraso / Análise Temporal Estática / Otimizações
  4. Tipos de Verificação e sua Integração ao Fluxo de Projeto
    - a) Descrição de diferentes tipos de verificação e onde cada qual é utilizada ao longo do fluxo de projeto
  5. Análise Temporal Estática
    - a) Descrição das restrições de tempo: Domínios de Clock / Tempo de Atraso / Tempo de Chegada / Atraso de Saída / Tempo Requerido / Condições Operacionais
    - b) Violações de *setup* e *hold*
    - c) Descrição de como bibliotecas de células e de tempo são utilizadas no projeto físico e na análise temporal
  6. Técnicas Diversas
    - a) Economia de Consumo de Energia
    - b) Projeto Visando a Testabilidade
    - c) Análise de Integridade de Sinais
  7. Ferramentas de Auxílio ao Projeto
    - a) Descrição e uso de ferramentas
    - b) Arquivos de configuração
  8. Processos CMOS
    - a) Descrição da física de dispositivos semicondutores: implementação de portas lógicas CMOS
    - b) Descrição dos processos de manufatura: Cilindro de Silício / Litografia / Dopagem / Oxidação / Corrosão / Deposição
- 

